



(19)

(11) Publication number:

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 62132124

(51) Intl. Cl.: H03M 1/18

(22) Application date: 27.05.87

<p>(30) Priority:</p> <p>(43) Date of application publication: 02.12.88</p> <p>(84) Designated contracting states:</p>	<p>(71) Applicant: NEC CORP</p> <p>(72) Inventor: ONO MASAHIKO</p> <p>(74) Representative:</p>
--	--

(54) VARIABLE THRESHOLD VALUE ANALOG DIGITAL COMPARATOR

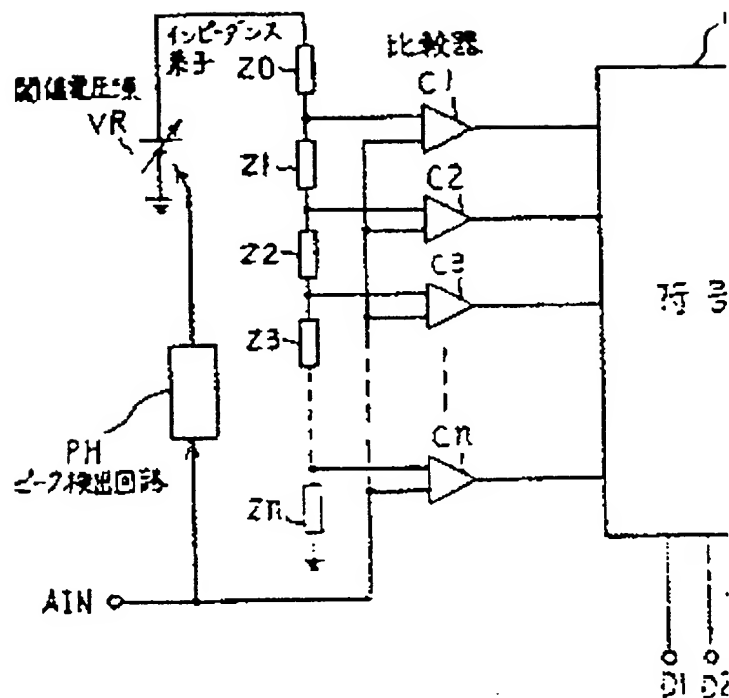
(57) Abstract:

PURPOSE: To prevent the deterioration in S/N for a minute input by changing a threshold value by the output of a circuit detecting a peak value of an analog input signal.

CONSTITUTION: An analog signal inputted to an input terminal AIN is led to comparators C1 Cn receiving plural different threshold values, the binary signal being the result of comparison of the amplitude is coded into a digital signal by a coder COD and the result is outputted from output terminals D1 Dm. The analog signal is led also to a peak detection circuit PH, and the output of the circuit PH changes the output level of a threshold voltage source VR. The output is fed to a series connection circuit comprising impedance elements Z0 Zn, and a threshold

voltage divided from each connection point is fed respectively to the input terminals of the comparators C1 Cn. Thus, the deterioration in S/N for a minute input is prevented by changing the threshold value in response to the input analog signal so as to change the quantization step.

COPYRIGHT: (C)1988,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-296415

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)12月2日

H 03 M 1/18

6832-5J

審査請求 未請求 発明の数 1 (全2頁)

⑮ 発明の名称 可変閾値アナログ・デジタルコンバータ

⑯ 特 願 昭62-132124

⑰ 出 願 昭62(1987)5月27日

⑱ 発 明 者 大 野 正 日 子 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

可変閾値アナログ・デジタルコンバータ

特 許 請 求 の 範 囲

アナログ入力信号を閾値と比較する比較器と、前記比較器の出力を符号化しデジタル信号に変換する符号器とを備え、前記アナログ入力信号のピーク値を検出する回路の出力により前記閾値を変化させることを特徴とする可変閾値アナログ・デジタルコンバータ。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明はアナログ・デジタルコンバータに関し、特にアナログ入力信号のピーク値が使用環境により一定値に制限され、デジタル信号出力の相対値のみが使用されるアナログ・デジタルコンバータに関する。

〔従来の技術〕

従来のアナログ・デジタルコンバータは一般に固定閾値とアナログ入力信号レベルとを比較器により比較し、その結果を符号器によりある決められた論理演算に従いデジタル信号に変換する構成である。

〔発明が解決しようとする問題点〕

上述した従来のアナログ・デジタルコンバータは閾値が固定となっており、アナログ入力信号のピーク値に合わせて閾値が設定され、いわゆる過負荷を防ぐような構成となっている。そのため、微小なアナログ入力信号に対しては割当てられるビット数が少なく信号対雑音比の低下を免れ得ない。

〔問題点を解決するための手段〕

本発明の可変閾値アナログ・デジタルコンバータはアナログ入力信号を閾値と比較する比較器と、前記比較器の出力を符号化しデジタル信号に変換する符号器とを備え、前記アナログ入力信号のピーク値を検出する回路の出力により前記閾

値を変化させる構成である。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

本発明の一実施例を示す第1図を参照すると、アナログ入力端子AINに入力したアナログ信号は複数の異った閾値を与えられた n 個の比較器 $C1 \sim Cn$ に共通に導かれ、信号振幅の大小を比較される。この比較結果の2値信号を符号器CODに入力して所定の論理演算により符号化してデジタル信号として m 個のデジタル出力端子 $D1 \sim Dm$ から出力する。アナログ信号はピーク検出回路PHにも導かれ、この回路PHの出力により閾値電圧源VRの出力レベルを変化させる。閾値電圧源VRの出力は $n+1$ 個のインピーダンス素子 $Z0 \sim Zn$ の直列接続回路に加えられ、各接続点から分圧された閾値電圧を比較器 $C1 \sim Cn$ の入力端子に各々印加される。

上記閾値の可変設定は例えば第2図の構成により実現できる。閾値は i 個の閾値電圧源 $V1 \sim$

Vi により発生させ、各出力端子 $1 \sim i$ の一つの端子に接続されるスイッチSWによって抵抗 $R0 \sim Rn$ の直列接続からなる閾値抵抗回路網に導かれ所定の閾値を与える。ここで、スイッチSWはピーク検出回路PHにより切替制御する。なお、第2図記載の構成は閾値が段階的に変化する回路の一例であるが、連続的に変化する回路でも同様に実施できる。

ピーク検出回路PHは入力されたアナログ信号レベルが低いときは閾値を全体的に下げて量子化ステップを小さくし、逆にアナログ信号レベルが高いときは閾値を全体的に上げて量子化ステップを大きくする動作を行なう。ピーク検出回路PHは例えば入力アナログ信号をピークホールドし、その出力レベルに応じて閾値電圧源VRの出力レベルを連続的に制御するか、又はピークホールドの出力レベルを別の比較器で比較し、その結果によって第2図のスイッチSWを制御する構成を採用できる。

〔発明の効果〕

以上説明したように本発明によれば、入力アナログ信号レベルに応じ閾値を変化させて量子化ステップを変えることにより、微小入力に対して信号対雑音比の劣化を招くことを防止できる。

図面の簡単な説明

第1図および第2図は本発明の一実施例を示す構成図である。

AIN…アナログ入力端子、 $D1 \sim Dm$ …デジタル出力端子、VR…閾値電圧源、 $C1 \sim Cn$ …比較器、 $Z0 \sim Zn$ …インピーダンス素子、PH…ピーク検出回路、COD…符号器。

代理人 弁理士 内原

